



(12) 发明专利

(10) 授权公告号 CN 110706641 B

(45) 授权公告日 2021.07.06

(21) 申请号 201910872967.1

审查员 王妍

(22) 申请日 2019.09.16

(65) 同一申请的已公布的文献号

申请公布号 CN 110706641 A

(43) 申请公布日 2020.01.17

(73) 专利权人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72) 发明人 张晓东 韩佰祥

(74) 专利代理机构 深圳翼盛智成知识产权事务
所(普通合伙) 44300

代理人 杨瑞

(51) Int.Cl.

G09G 3/32 (2016.01)

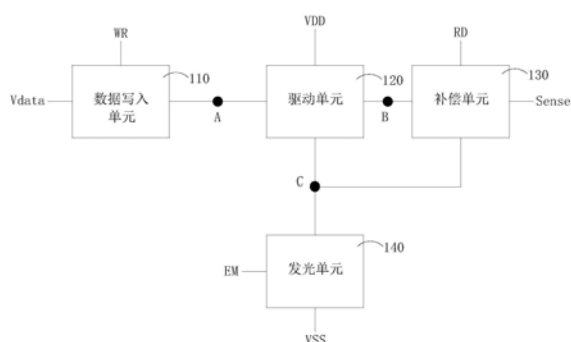
权利要求书1页 说明书5页 附图3页

(54) 发明名称

像素驱动电路及显示装置

(57) 摘要

本揭示提供一种像素驱动电路及显示装置,所述像素驱动电路包括数据写入单元、驱动单元、补偿单元和发光单元,通过在驱动单元增加第一电容,所述第一电容的第一端用于接收所述电源高压信号,所述第一电容的第二端耦接所述第二节点,通过第一电容对驱动单元的耦合作用,减小在不同灰阶状态下驱动单元的数据传输效率,通过较低的数据传输效率实现高低灰阶的切换,从而提高像素驱动电路高低灰阶的切换能力,同时在发光单元的微发光二极管与驱动单元之间增设第一薄膜晶体管,所述第一薄膜晶体管的栅极耦接发光信号,漏极耦接微发光二极管的第一端,保证微发光二极管在发光之前不会受到驱动单元电流波动的影响,提高显示装置的显示效果。



1. 一种像素驱动电路,其特征在于,包括数据写入单元、驱动单元、补偿单元和发光单元;

所述数据写入单元包括第二薄膜晶体管,所述第二薄膜晶体管的源极接收数据电压信号,所述第二薄膜晶体管的栅极接收第一扫描信号,所述第二薄膜晶体管的漏极耦接于第一节点;

所述驱动单元包括第一电容、第三薄膜晶体管和存储电容,所述第一电容的第一端和所述第三薄膜晶体管的源极接收电源高压信号,所述第三薄膜晶体管的栅极和所述存储电容的第一端耦接所述第一节点,所述第一电容的第二端和所述存储电容的第二端耦接于第二节点;

所述发光单元包括第一薄膜晶体管和微发光二极管,所述第一薄膜晶体管的栅极接收发光信号,所述第一薄膜晶体管的源极与所述第三薄膜晶体管的漏极耦接于第三节点,所述第一薄膜晶体管的漏极耦接所述微发光二极管的第一端,所述微发光二极管的第二端接收电源低压信号;

所述补偿单元包括第四薄膜晶体管,所述第四薄膜晶体管的栅极接收第二扫描信号,所述第四薄膜晶体管的源极耦接感测电路,所述第四薄膜晶体管的漏极耦接所述第二节点,所述感测电路用于产生感测电压信号;

其中,所述像素驱动电路的驱动时序包括第一阶段、第二阶段和第三阶段,在所述第一阶段内,通过所述第一扫描信号开启所述第二薄膜晶体管,向所述第三薄膜晶体管的栅极写入所述数据电压信号,通过所述第二扫描信号开启所述第四薄膜晶体管,向所述第三薄膜晶体管的漏极写入感测电压信号;在所述第二阶段内,停止向所述第三薄膜晶体管的栅极写入所述数据电压信号,所述驱动单元内发生电容耦合效应;在所述第三阶段内,通过所述发光信号开启所述第一薄膜晶体管,所述驱动单元产生驱动电流以驱使所述微发光二极管发光。

2. 如权利要求1所述的像素驱动电路,其特征在于,所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管均为N型晶体管。

3. 如权利要求2所述的像素驱动电路,其特征在于,在所述第一阶段内,所述第一扫描信号、所述第二扫描信号、所述数据电压信号以及所述感测电压信号均为高电平信号,所述发光信号为低电平信号;

在所述第二阶段内,所述第一扫描信号、所述第二扫描信号和所述发光信号均为低电平信号,所述数据电压信号包括高电平信号和低电平信号,所述感测电压信号包括高电平信号和低电平信号;

在所述第三阶段内,所述第一扫描信号、所述第二扫描信号、所述数据电压信号以及所述感测电压信号均为低电平信号,所述发光信号为高电平信号。

4. 如权利要求3所述的像素驱动电路,其特征在于,所述数据电压信号的时序与所述感测电压信号的时序相同,所述第一扫描信号的时序与所述第二扫描信号的时序相同。

5. 一种显示装置,其特征在于,包括如权利要求1至4任一项所述的像素驱动电路。

像素驱动电路及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素驱动电路及显示装置。

背景技术

[0002] 微发光二极管显示装置(Micro Light Emitting Diode Display, Micro-LED),是一种高密度集成的LED阵列显示装置,相较于液晶显示装置(Liquid Crystal Display, LCD)技术以及有机发光二极管(Organic Light-Emitting Diode, OLED)显示装置技术, Micro-LED具有更高的发光效率和更低的功耗,并且具有寿命长、响应快等优势。

[0003] 传统的3T1C像素驱动电路已广泛应用于OLED显示中,对于驱动晶体管来说,通过驱动晶体管的电流大小决定着OLED或者Micro-LED的发光亮度,而电流的大小与驱动晶体管栅极和源极的电压差 V_{gs} 有关,电压差大小的不同从而产生不同的灰阶显示。由于Micro-LED相比于OLED具有更高的发光效率和亮度,对于驱动晶体管来说,电压差的变化范围比较小就能实现较高的亮度,因此高低灰阶切换电压差的变化范围很小,这需要数据信号具有更高的精度。

[0004] 综上所述,现有Micro-LED显示装置的像素驱动电路存在高低灰阶切换能力较弱的问题。故,有必要提供一种像素驱动电路及显示装置来改善这一缺陷。

发明内容

[0005] 本揭示实施例提供一种像素驱动电路及显示装置,用于解决Micro-LED显示装置的像素驱动电路存在高低灰阶切换能力较弱的问题。

[0006] 本揭示实施例提供一种像素驱动电路,包括数据写入单元、驱动单元、补偿单元和发光单元;

[0007] 所述数据写入单元用于接收数据电压信号和第一扫描信号,并与所述驱动单元耦接于第一节点;

[0008] 所述驱动单元用于接收电源高压信号,并与所述补偿单元耦接于第二节点;

[0009] 所述发光单元用于接收发光信号和电源低压信号,并与所述驱动单元耦接于第三节点;

[0010] 其中,所述驱动单元包括第一电容,所述第一电容的第一端用于接收所述电源高压信号,所述第一电容的第二端耦接所述第二节点,所述发光单元包括第一薄膜晶体管和微发光二极管,所述第一薄膜晶体管的栅极用于接收所述发光信号,所述第一薄膜晶体管的源极耦接所述第三节点,所述第一薄膜晶体管的漏极耦接所述微发光二极管的第一端。

[0011] 根据本揭示一实施例,所述数据写入单元包括第二薄膜晶体管,所述第二薄膜晶体管的栅极用于接收所述第一扫描信号,所述第二薄膜晶体管的源极用于接收所述数据电压信号,所述第二薄膜晶体管的漏极耦接所述第一节点。

[0012] 根据本揭示一实施例,所述驱动单元还包括第三薄膜晶体管和储存电容,所述第三薄膜晶体管的栅极耦接所述第一节点,所述第三薄膜晶体管的源极用于接收所述电源高

压信号,所述第三薄膜晶体管的漏极耦接所述第三节点,所述储存电容的第一端耦接所述第一节点,所述储存电容的第二端耦接所述第二节点。

[0013] 根据本揭示一实施例,所述补偿单元用于接收第二扫描信号和耦接感测电路,所述感测电路用于产生感测电压信号,通过所述补偿单元传输至所述第三薄膜晶体管,用于感测所述第三薄膜晶体管的阈值电压,并对所述阈值电压进行补偿。

[0014] 根据本揭示一实施例,所述补偿单元包括第四薄膜晶体管,所述第四薄膜晶体管的栅极用于接收所述第二扫描信号,所述第四薄膜晶体管的源极耦接所述感测电路,所述第四薄膜晶体管的漏极耦接所述第二节点。

[0015] 根据本揭示一实施例,所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管均为N型晶体管。

[0016] 根据本揭示一实施例,所述像素驱动电路的驱动时序包括第一阶段、第二阶段和第三阶段;

[0017] 其中,在所述第一阶段内,通过所述第一扫描信号和所述第二扫描信号分别开启所述第二薄膜晶体管和所述第四薄膜晶体管,并写入所述数据电压信号和所述感测电压信号;

[0018] 在所述第二阶段内,通过所述第一扫描信号和所述第二扫描信号分别关闭所述第二薄膜晶体管和所述第四薄膜晶体管,所述驱动单元发生电容耦合效应;

[0019] 在所述第三阶段内,开启所述第三薄膜晶体管,并通过所述发光信号开启所述第一薄膜晶体管,所述驱动单元产生驱动电流驱动所述微发光二极管发光。

[0020] 根据本揭示一实施例,在所述第一阶段内,所述第一扫描信号、所述第二扫描信号、所述数据电压信号以及所述感测电压信号均为高电平信号,所述发光信号为低电平信号;

[0021] 在所述第二阶段内,所述第一扫描信号、所述第二扫描信号和所述发光信号均为低电平信号,所述数据电压信号包括高电平信号和低电平信号,所述感测电压信号包括高电平信号和低电平信号;

[0022] 在所述第三阶段内,所述第一扫描信号、所述第二扫描信号、所述数据电压信号以及所述感测电压信号均为低电平信号,所述发光信号为高电平信号。

[0023] 根据本揭示一实施例,所述数据电压信号的时序与所述感测电压信号的时序相同,所述第一扫描信号的时序与所述第二扫描信号的时序相同。

[0024] 本揭示实施例还提供一种显示装置,包括如上述的像素驱动电路。

[0025] 本揭示实施例的有益效果:本揭示实施例提供一种像素驱动电路,包括数据写入单元、驱动单元、补偿单元和发光单元,通过在驱动单元增加第一电容,所述第一电容的第一端用于接收所述电源高压信号,所述第一电容的第二端耦接所述第二节点,通过第一电容对驱动单元的耦合作用,减小在不同灰阶状态下驱动单元的数据传输效率,通过较低的数据传输效率实现高低灰阶的切换,从而提高像素驱动电路高低灰阶的切换能力,同时在发光单元的微发光二极管与驱动单元之间增设第一薄膜晶体管,所述第一薄膜晶体管的栅极耦接发光信号,漏极耦接微发光二极管的第一端,保证微发光二极管在发光之前不会受到驱动单元电流波动的影响,提高显示装置的显示效果。

附图说明

[0026] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是揭示的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0027] 图1为本揭示实施例提供的像素驱动电路的框架示意图;

[0028] 图2为本揭示实施例提供的像素驱动电路的结构示意图;

[0029] 图3为本揭示实施例提供的像素驱动电路的时序图;

[0030] 图4为本揭示实施例提供的像素驱动电路的检测数据图。

具体实施方式

[0031] 以下各实施例的说明是参考附加的图示,用以例示本揭示可用以实施的特定实施例。本揭示所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本揭示,而非用以限制本揭示。在图中,结构相似的单元是用以相同标号表示。

[0032] 下面结合附图和具体实施例对本揭示做进一步的说明:

[0033] 本揭示实施例提供一种像素驱动电路,下面结合图1至图3进行详细说明。

[0034] 如图1所示,图1为本揭示实施例提供的像素驱动电路的框架示意图,所述像素驱动电路包括数据写入单元110、驱动单元120、补偿单元130和发光单元140。所述数据写入单元110用于接收数据电压信号Vdata和第一扫描信号WR,并与所述驱动单元120耦接于第一节点A,所述驱动单元120用于接收电源高压信号VDD,并与所述补偿单元130耦接于第二节点B,所述补偿单元130用于接收第二扫描信号RD,并耦接感测电路Sense,所述发光单元140用于接收发光信号EM和电源低压信号VSS,并与所述驱动单元120耦接于第三节点C。

[0035] 如图2所示,在本实施例中,所述驱动单元120包括第一电容C1,所述第一电容C1的第一端用于接收所述电源高压信号VDD,所述第一电容C1的第二端耦接所述第二节点B,所述发光单元140包括第一薄膜晶体管T1和微发光二极管141,所述第一薄膜晶体管T1的栅极用于接收所述发光信号EM,所述第一薄膜晶体管T1的源极耦接所述第三节点C,所述第一薄膜晶体管T1的漏极耦接所述微发光二极管141的第一端,所述微发光二极管141的第二端用于接收所述电源低压信号VSS。

[0036] 在本实施例中,所述数据写入单元110包括第二薄膜晶体管T2,所述第二薄膜晶体管T2的栅极用于接收所述第一扫描信号WR,所述第二薄膜晶体管T2的源极用于接收所述数据电压信号Vdata,所述第二薄膜晶体管T2的漏极耦接所述第一节点A。

[0037] 在本实施例中,所述驱动单元120还包括第三薄膜晶体管T3和储存电容Cst,所述第三薄膜晶体管T3的栅极耦接所述第一节点A,所述第三薄膜晶体管T3的源极用于接收所述电源高压信号VDD,所述第三薄膜晶体管T3的漏极耦接所述第三节点C,所述储存电容Cst的第一端耦接所述第一节点A,所述储存电容Cst的第二端耦接所述第二节点B。

[0038] 如图2所示,所述补偿单元130用于接收第二扫描信号RD和耦接感测电路Sense,所述感测电路产生感测电压信号Vini,通过所述补偿单元130传输至第三薄膜晶体管T3,用于感测所述第三薄膜晶体管T3的阈值电压,并对所述阈值电压进行补偿。

[0039] 具体的,所述补偿单元130包括第四薄膜晶体管T4,所述第四薄膜晶体管T4的栅极耦接所述第二扫描信号RD,所述第四薄膜晶体管T4的源极耦接所述感测电路Sense,所述第四薄膜晶体管T4的漏极耦接所述第二节点B。

[0040] 优选的,所述第一薄膜晶体管T1、所述第二薄膜晶体管T2、所述第三薄膜晶体管T3和所述第四薄膜晶体管T4均为N型晶体管。

[0041] 如图3所示,图3为本揭示实施例所提供的像素驱动电路的时序图,所述像素驱动电路的驱动时序包括第一阶段、第二阶段和第三阶段。其中,在所述第一阶段内,通过所述第一扫描信号WR和所述第二扫描信号RD分别开启所述第二薄膜晶体管T2和所述第四薄膜晶体管T4,并写入所述数据电压信号Vdata和所述感测电压信号Vini;在所述第二阶段内,通过所述第一扫描信号WR和所述第二扫描信号RD分别关闭所述第二薄膜晶体管T2和所述第四薄膜晶体管T4,所述驱动单元120发生电容耦合效应,此时,由于储存电容Cst和第一电容C1的电容耦合效应,第三薄膜晶体管T3栅极和源极的电压差Vgs逐渐升高接近稳定值;在所述第三阶段内,所述第三薄膜晶体管T3的Vgs升高至稳定值,开启所述第三薄膜晶体管T3,并通过所述发光信号EM开启所述第一薄膜晶体管T1,所述驱动单元120产生驱动电流驱动所述发光单元140内的微发光二极管141发光。

[0042] 在本实施例中,在所述第一阶段内,所述第一扫描信号WR、所述第二扫描信号RD、所述数据电压信号Vdata以及所述感测电路Sense的感测电压信号Vini均为高电平信号,所述发光信号EM为低电平信号。此时,第二薄膜晶体管T2打开,向第三薄膜晶体管T3的栅极输入数据电压信号Vdata,第四薄膜晶体管T4打开,向所述第三薄膜晶体管T3输入感测电压信号Vini,同时分别向储存电容Cst和第一电容C1充电。

[0043] 在本实施例中,在所述第二阶段内,所述第一扫描信号WR、所述第二扫描信号RD和所述发光信号EM均为低电平信号,所述数据电压信号Vdata包括高电平信号和低电平信号,所述感测电压信号Vini包括高电平信号和低电平信号。具体地,所述数据电压信号Vdata在所述第二阶段内先保持高电平信号再转变为低电平信号,所述感测电压信号Vini在所述第二阶段内先保持高电平信号再转变为低电平信号。此时,第二薄膜晶体管T2和第四薄膜晶体管T4关闭,为保持第三薄膜晶体管T3栅极的电位,数据电压信号Vdata和感测电压信号Vini均先保持高电平电位再转变为低电平电位,由于储存电容Cst和第一电容C1的耦合效应,第三薄膜晶体管T3栅极的电压逐渐增大,源极的电压逐渐减小,第三薄膜晶体管T3栅极和源极的电压差Vgs逐渐增大,并趋近于稳定值。

[0044] 在本实施例中,在所述第三阶段内,所述第一扫描信号WR、所述第二扫描信号RD、所述数据电压信号Vdata以及所述感测电压信号Vini均为低电平信号,所述发光信号EM为高电平信号。

[0045] 数据传输效率为第三阶段发光时的Vgs与数据写入阶段的Vgs比值,相较于传统3T1C像素驱动电路,本揭示实施例中新增第一电容C1和第一薄膜晶体管T1,形成4T2C像素驱动电路。如图4所示,图4为本揭示实施例提供的像素驱动电路的检测数据图,本揭示实施例提供的像素驱动电路的数据传输效率均小于传统3T1C像素驱动电路的数据传输效率,本揭示实施例较小的数据传输效率设计可从7.10V~6.02V实现高低灰阶的切换,且在低灰阶区Vgs0.1V的变化能较好的转换灰阶。而对于传统3T1C电路来说,数据传输效率较大,Vgs得小于0.03V的变化才能实现灰阶转换,在低灰阶区对数据电压信号Vdata的精度要求更高。

因此,本揭示实施例利用数据传输效率放大灰阶电压的方法,能够更好地切换灰阶,提高微发光二极管的显示效果。

[0046] 在本实施例中,如图3所示,所述数据电压信号Vdata的时序与所述感测电压信号Vini的时序相同,所述第一扫描信号WR的时序与所述第二扫描信号RD的时序相同。

[0047] 本揭示实施例提供一种像素驱动电路,包括数据写入单元、驱动单元、补偿单元和发光单元,通过在驱动单元增加第一电容,所述第一电容的第一端用于接收所述电源高压信号,所述第一电容的第二端耦接所述第二节点,通过第一电容对驱动单元的耦合作用,减小在不同灰阶状态下驱动单元的数据传输效率,通过较低的数据传输效率实现高低灰阶的切换,从而提高像素驱动电路高低灰阶的切换能力,同时在发光单元的微发光二极管与驱动单元之间增设第一薄膜晶体管,所述第一薄膜晶体管的栅极耦接发光信号,漏极耦接微发光二极管的第一端,保证微发光二极管在发光之前不会受到驱动单元电流波动的影响,提高显示装置的显示效果。

[0048] 本揭示实施例还提供一种显示装置,包括如上述实施例所提供的像素驱动电路,且能够实现与上述实施例所提供的像素驱动电路相同的技术效果,此处不再赘述。

[0049] 综上所述,虽然本揭示以优选实施例揭露如上,但上述优选实施例并非用以限制本揭示,本领域的普通技术人员,在不脱离本揭示的精神和范围内,均可作各种更动与润饰,因此本揭示的保护范围以权利要求界定的范围为准。

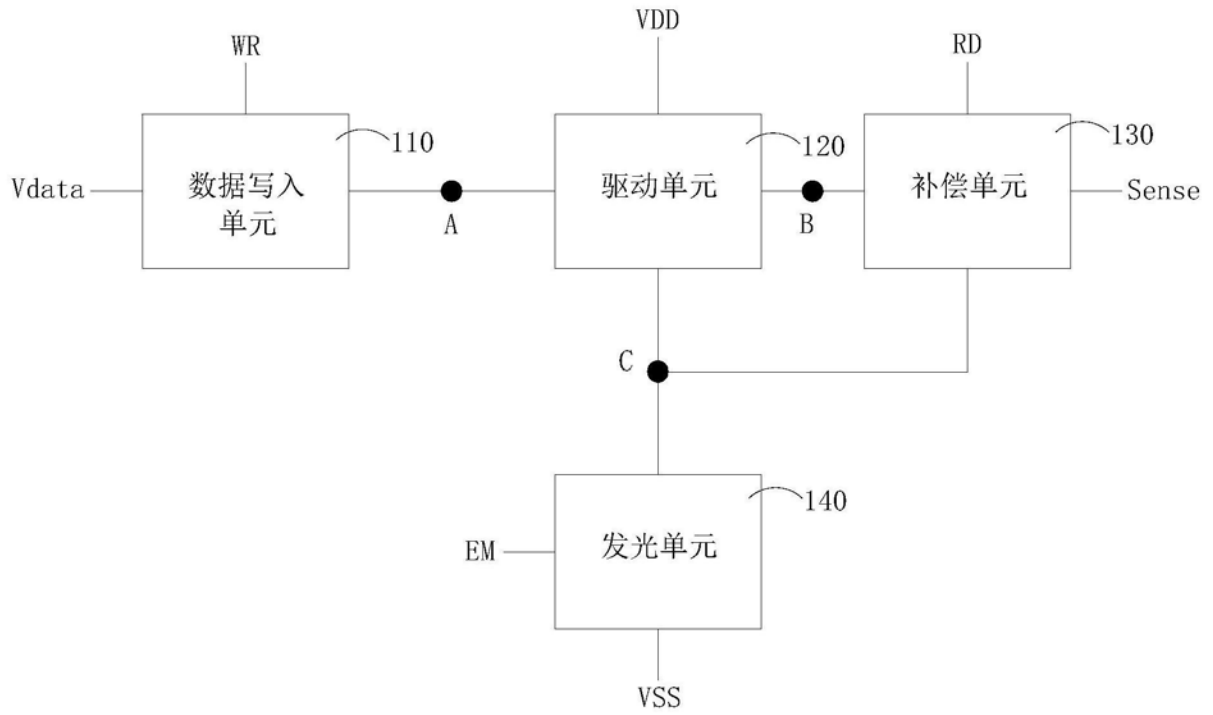


图1

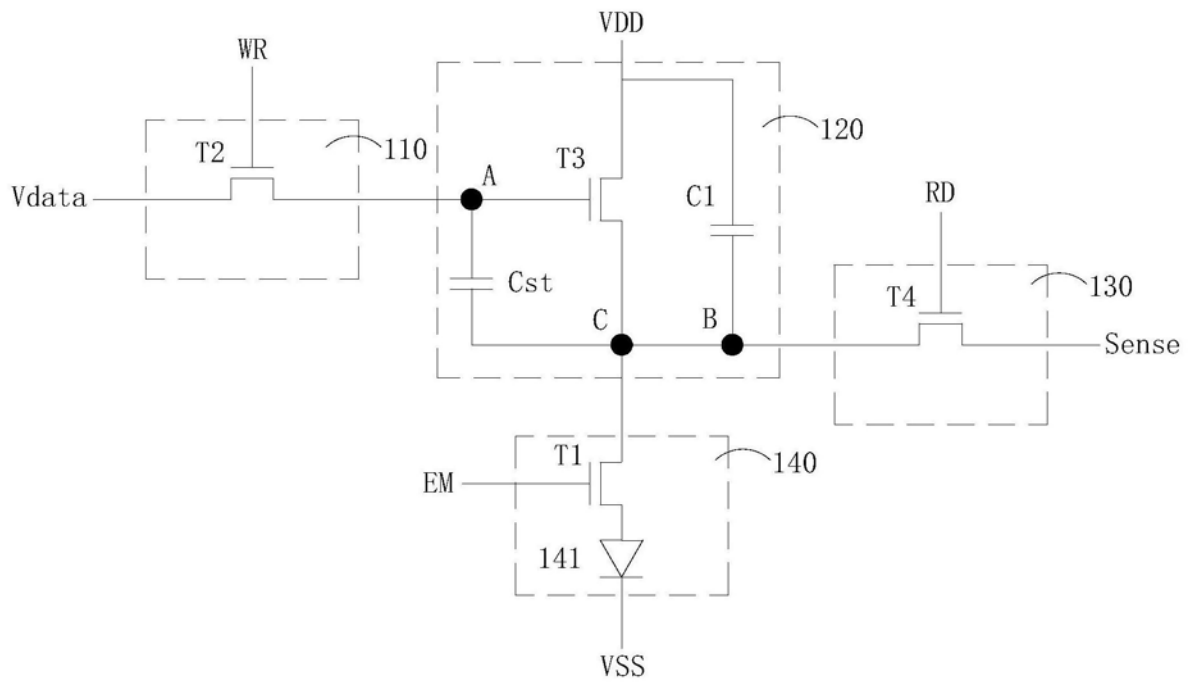


图2

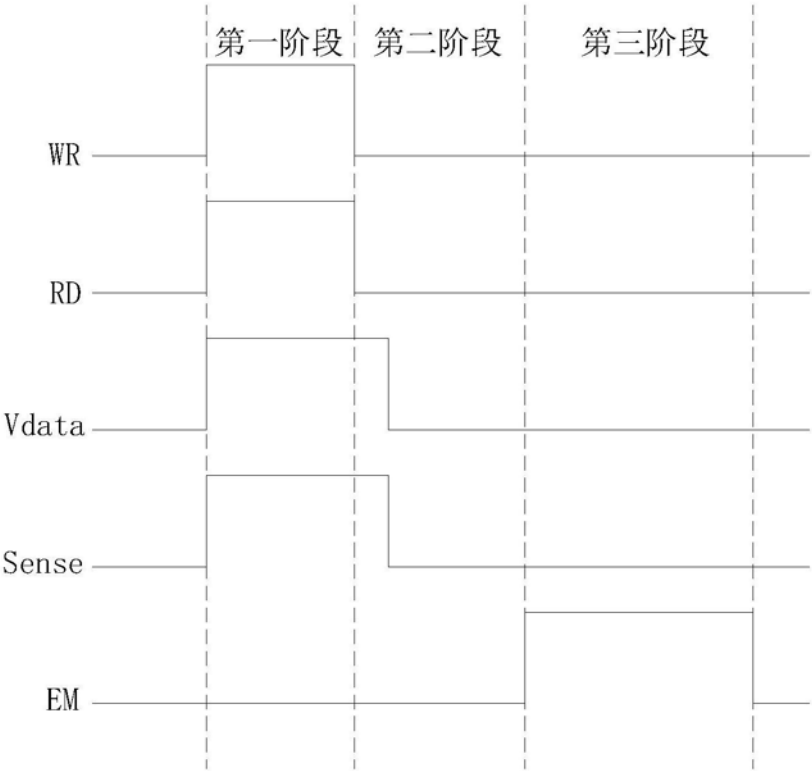


图3

Item	本实施例4T2C		传统3T1C	
Gray	Vdata	DTE	Vdata	DTE
255	7.10	12.5%	3.00	36%
224	7.00	11.0%	2.96	35%
192	6.90	9.3%	2.91	28%
160	6.78	9.5%	2.84	30%
128	6.60	7.8%	2.81	30%
96	6.50	8.0%	2.71	24.8%
64	6.41	8.2%	2.62	17.8%
32	6.15	5.6%	2.56	21%
0	6.02	4.9%	2.53	18.1%
	Vini=1.5v			

图4